

D

**GRADIENT CHANNEL SEMICONDUCTOR ELEMENT AND ITS MANUFACTURE**

**Patent number:** JP9116154  
**Publication date:** 1997-05-02  
**Inventor:** ROBAATO BII DEEBISU; FURANKU KEI BEEKAA;  
JIYON JIEI KIYANDERARIA; ANDORIASU EE  
WAIRUDO; PIITAA JIEI DEBERU  
**Applicant:** MOTOROLA INC  
**Classification:**  
- **international:** H01L21/336; H01L29/10; H01L29/78; H01L21/02;  
H01L29/02; H01L29/66; (IPC1-7): H01L29/78;  
H01L21/336  
- **european:** H01L21/336H1; H01L21/336H1C; H01L21/336M;  
H01L21/336W; H01L29/10D2B2B; H01L29/10F2B2;  
H01L29/78G  
**Application number:** JP19960267673 19960919  
**Priority number(s):** US19950541536 19951010

Also published as:

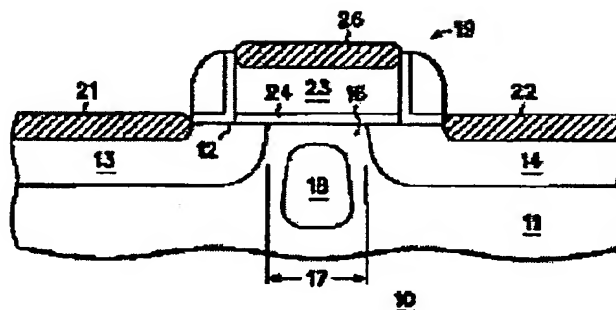


EP0768715 (A)  
US5712501 (A)  
EP0768715 (A)

Report a data error he

**Abstract of JP9116154**

**PROBLEM TO BE SOLVED:** To provide an inclined-channel semiconductor device, in which trouble such as the injection of hot-carriers, drain leakage, a punch-through, etc., is solved, and its manufacture. **SOLUTION:** An inclined-channel semiconductor device 10 contains a substrate region 11 with a main surface 12. A source region 13 and a drain region 14 are formed in the substrate region 11, and separated and a channel region 16 is formed. A doping region 18 is formed in the channel region 16, and separated from the source region 13, the drain region 14 and the main surface 12. The doping region 18 has the same conductivity type as the channel region 16, but dopant concentration is made higher than that of the channel region 16. Resistance force to a punch-through is made higher than short channel structure in conventional technique in the element 10, and performance is improved.



Data supplied from the esp@cenet database - Worldwide



## 【特許請求の範囲】

【請求項 1】傾斜チャネル半導体素子であって：第 1 導電型で、第 1 表面（12）を有する半導体物質本体（11）；前記半導体物質本体（11）内に形成され、前記第 1 表面（12）から延在する、第 2 導電型の第 1 ドープ領域（13）；前記半導体物質本体（11）内に形成され、前記第 1 表面（12）から延在する、第 2 導電型の第 2 ドープ領域（14）；前記第 1 ドープ領域（13）および第 2 ドープ領域（14）の間にあるチャネル領域（16）；前記チャネル領域（16）内に形成された第 1 導電型の第 3 ドープ領域（18）であって、前記第 1 表面（12）から縦方向に離間され、前記第 1 ドープ領域（13）および前記第 2 ドープ領域（14）から縦方向および横方向に離間された、前記第 3 ドープ領域（18）；前記チャネル領域上の前記第 1 表面上に形成されたゲート構造（19）；前記第 1 ドープ領域（13）に結合された第 1 電極（21）；および前記第 2 ドープ領域に結合された第 2 電極（22）；から成ることを特徴とする傾斜チャネル半導体素子。

【請求項 2】絶縁ゲート FET 構造体であって：主面（12）と第 1 ドーパント濃度とを有する、第 1 導電型の半導体基板（11）；前記半導体基板内に形成され、前記主面（12）から延在する、第 2 導電型のソース領域；前記半導体基板内に形成され、前記主面（12）から延在する、第 2 導電型のドレイン領域；前記ソース領域および前記チャネル領域の間にあるチャネル領域（16）；前記チャネル領域（16）内に形成された第 1 導電型の第 1 ドープ領域（18）であって、前記ソース領域、前記ドレイン領域、および前記主面に直接接せず、前記第 1 ドーパント濃度よりも高い第 2 ドーパント濃度を有する、前記第 1 ドープ領域（18）；前記チャネル領域（16）に隣接して形成された絶縁ゲート構造（19）であって、前記ソース領域の一部分および前記ドレイン領域の一部分とオーバーラップする、前記絶縁ゲート構造（19）；前記ソース領域に結合された第 1 電極；および前記ドレイン領域に結合された第 2 電極；から成ることを特徴とする絶縁ゲート FET 構造体。

【請求項 3】傾斜チャネル半導体素子の形成方法であって：主面（12）と第 1 ドーパント濃度とを有する第 1 導電型の半導体物質本体（11）を用意する段階；前記半導体物質本体（11）内に、第 1 導電型の第 1 ドープ領域（18）を形成し、前記主面（12）から前記第 1 ドープ領域（18）を離間させる段階；前記第 1 ドープ領域（18）上の前記主面（12）上に、ゲート構造（19）を形成する段階；前記半導体物質本体（11）内に、第 2 導電型のソース領域（13）を形成する段階であって、前記ソース領域（13）は、前記第 1 ドープ領域（18）から縦方向および横方向に前記ソース領域（13）を離間させる、段階；および前記半導体物質本体（11）に、第 2 導電型のドレイン領域（14）を形

成する段階であって、前記ドレイン領域（14）を前記ソース領域（13）から離間させて、それらの間にチャネル領域（16）を形成し、前記ドレイン領域（14）を前記第 1 ドープ領域（18）から縦方向および横方向に離間し、前記第 1 ドープ領域（18）を前記チャネル領域（16）内に設ける段階；から成ることを特徴とする方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、一般的に絶縁ゲート電界効果トランジスタに関し、更に特定すれば短チャネル絶縁ゲート電界効果トランジスタ（short channel insulated gate field effect transistor）に関するものである。

## 【0002】

【従来の技術】絶縁ゲート電界効果トランジスタ（IGFET）素子のような半導体素子は、低電圧用途において、増々重要になりつつある。IGFET 素子がより小さい寸法に縮小されていくので、製造者は半導体構造を微細化し、最適な素子性能を保持しなければならない。典型的に、サブミクロン範囲のチャネル長を有する IGFET 素子では、製造者は注意深くドレイン領域を製造して、ホット・キャリアの注入、ドレイン漏れ（drain leakage）、パンチ・スルー（punch-through）等のような性能低下の問題を回避しなくてはならない。

【0003】約 1 ミクロンのチャネル長を有する IGFET 素子では、多くの素子性能の問題は、低濃度ドープ・ドレイン（LDD: lightly-doped-drain）領域を形成することによって補正が可能である。LDD 領域は、ドレイン領域に隣接するチャネル領域における電界を低下させる作用がある。このように電界を低下させると、チャネル領域の上に位置するゲート酸化物層へのホット・キャリア注入が減少するので、スレシホールド電圧の安定性を向上させることができる。しかしながら、LDD 領域は、チャネル抵抗の増大を招くため、性能低下の原因となり、トランスコンダクタンス（transconductance）に悪影響を及ぼすことになる。また、チャネル長が 0.5 ミクロン以下に近づくにつれ、ドレイン設計技法（例えば、LDD 領域）は、性能低下の防止にはさほど効果的ではなくなる。

【0004】加えて、製造者は、短チャネル素子における表面下パンチ・スルー（sub-surface punch-through）を減少させるために、カウンタ・ドープ・ソース（counter-doped source）およびドレイン領域を用いている。これらカウンタ・ドープ領域は多くの場合「ハロー（halo）」領域と呼ばれている。ハロー領域はパンチ・スルーの減少には効果的であるが、チャネル領域におけるキャリア移動度を低下させ、そのために駆動電流が低下する。また、ハロー領域は接合容量の増大を招き、スイッチング速度性能を劣化させることになる。

【0005】性能劣化を防止する更に別の手法には、ソースおよびドレイン領域間のチャンネル領域に、表面から下方向にバルク半導体物質まで延びる、高濃度ドーブ領域を配することが含まれる。この高濃度ドーブ領域は、チャンネル領域と同一導電型のものである。この手法はパンチ・スルーの減少には効果的であるが、これもチャンネルにおけるキャリア移動度を低下させ、駆動電流の低下を招くことになる。更に別ではあるが同様の手法では、表面下のチャンネル領域に、ソース領域およびドレイン領域双方に接触するように、高濃度ドーブ領域を配するものがある。この代替手法は電流駆動能力を改善するが、降伏電圧特性の低下および接合容量の上昇という問題が生じ、このためにスイッチング性能が低下することになる。

#### 【0006】

【発明が解決しようとする課題】以上のことから容易にわかるように、少なくとも従来技術において発見されている先の問題を克服する構造および方法が必要とされている。かかる構造を、費用効果的かつ再現可能に製造することができれば、有利であろう。加えて、かかる構造を双方向的に動作させることができれば、更に有利であろう。

#### 【0007】

【課題を解決するための手段】概して、本発明は、サブミクロン単位のチャンネル長構造に適した傾斜チャンネル半導体素子(graded-channel semiconductor device)に関するものである。この素子は、導電型が逆の半導体物質本体内に形成されたソース領域およびドレイン領域を含む。ソースおよびドレイン領域は、半導体物質の主面から延び、離間されてチャンネルを形成する。半導体物質本体と同じ導電型のドーブ領域をチャンネル領域に形成し、ソース領域、ドレイン領域、および主面から離間する。この素子では、従来技術の構造と比較して、性能の向上が見られる。

#### 【0008】

【発明の実施の形態】理解を容易にするために、図面全体にわたって同様な領域には同一の名称を付ける。図1は、本発明による傾斜チャンネル半導体素子の拡大断面図であり、全体的に10で示している。説明の目的のために、傾斜チャンネル素子10はn-チャンネルIGFET素子とする。これは一例のみとして意図するものであり、本発明はp-チャンネル素子にも適用できることを、当業者は認めよう。オプションとして、本発明による構造は、相補型p-チャンネル/n-チャンネル構造にも適用される。

【0009】傾斜チャンネル素子10は、半導体物質の基板即ち本体(body)11を含み、これは、半導体層、拡散ウエル、基板領域、基板上エピタキシャル領域等から成る。n-チャンネル素子では、基板11は典型的に硼素をドーブした(即ち、p-型導電性)シリコン・ウエルを

含み、典型的に、約 $1.5 \times 10^{15}$ 原子/cm<sup>3</sup>ないし約 $2.0 \times 10^{16}$ 原子/cm<sup>3</sup>範囲の背景ドーパント濃度(background dopant concentration)を有する。基板11を形成する方法は既知である。

【0010】また、傾斜チャンネル素子10は、ソース領域13とドレイン領域14とを含み、これらは主面から、約0.1ミクロンないし約0.3ミクロンの深さに達している。ソース領域13およびドレイン領域14はn-型導電性領域であり、 $1.0 \times 10^{20}$ 原子/cm<sup>3</sup>程度の表面濃度を有する。チャンネル領域16が、ソース領域13とドレイン領域14との間にある。ソース領域13とドレイン領域14は、約0.25ミクロンないし約0.5ミクロンの範囲の距離17だけ離間されている。フォトリソグラフィ技術が発展し、より小さな寸法を経済的に作成できるようになったので、距離17は古典的な金属酸化半導体(MOS)スケーリング技法による縮小が可能である。

【0011】更に、傾斜チャンネル素子10は、絶縁ゲート構造19、ソース電極21、およびドレイン電極22を含む。ゲート構造19は、チャンネル領域16に隣接して形成され、例えば、ゲート誘電体層24によってチャンネル領域16から絶縁された半導体物質領域23とゲート電極26とを含む。好ましくは、ゲート誘電体層24は酸化物から成り、約30オングストロームないし約100オングストロームの範囲の厚さを有する。ゲート構造19の主要な特徴は、半導体物質領域23が、ソース領域13および基板11によって形成された接合部の少なくとも一部、ならびにドレイン領域14および基板11によって形成された接合部の少なくとも一部と重複(overlap)することである。ソース領域13およびドレイン領域14の一部と重複することによって、ゲート制御は、チャンネル領域全体にわたって有効となる。これによって、素子の信頼性および生産可能性も飛躍的に向上する。重複が十分でない、その結果製造歩留りが不安定となり、素子の性能を低下させることになる。

【0012】本発明によれば、ドーブ領域18をチャンネル領域16内に形成し、主面12から縦方向に離間する(即ち、直接接触(directly contact)しない)。加えて、ドーブ領域18は、縦方向および横方向共、ソース領域13およびドレイン領域14から離間されている。更に、ドーブ領域18の横方向の拡張範囲は、距離17とは独立して規定される。

【0013】ドーブ領域18の導電性は基板11と同一であるが、ドーパント濃度はそれより高い。加えて、ドーブ領域18は、約0.3ミクロンよりも大きい深さにまで、基板11内に貫入している。好ましくは、ドーブ領域18は、ドーパント濃度が約 $3.0 \times 10^{17}$ 原子/cm<sup>3</sup>以上の領域である(即ち、ドーブ領域18は、基板の背景濃度よりも1桁大きさが大きいドーパント濃度を有することが好ましい)。

【0014】好ましくは、ソース領域13およびドレイン領域14は、ドープ領域18に自己整列され、双方向素子動作を可能にする（即ち、ドープ領域18はソース領域13とドレイン領域14とのほぼ中央に位置する）。好ましくは、ドープ領域18は、主面12から少なくとも125オングストローム下にあることが好ましく、約800オングストロームの距離が好ましい。本発明によれば、ドープ領域18を主面12から離間させる距離は、傾斜チャネル素子10のスレシホールド電圧を確定する場合に寄与する。

【0015】ドープ領域18は電荷局在領域(localized area of charge)を与え、これはとりわけパンチ・スルーに対する抵抗力を高めるように機能する。また、傾斜チャネル素子10では、ドープ領域18がソース領域13およびドレイン領域14から離間されているので、中央ドープ領域がソースおよびドレイン領域と接触する従来技術の構造と比較して、降伏電圧特性の向上、スイッチング速度の向上（即ち、接合容量の低下）、およびホット・キャリア注入効果に対する抵抗力の改善が見られる。加えて、傾斜チャネル素子10では、ドープ領域18は主面12から離間されているので、チャネルが表面まで達しており（即ち、チャネル領域の表面まで完全に達している）、そのチャネルの中央におけるチャネル・ドーピングが高い従来技術の構造と比較して、スレシホールド電圧の低下および駆動能力の向上（即ち、トランスコンダクタンスの上昇）が見られる。

【0016】例えば、主面12から約1,125オングストロームの距離だけドープ領域18が離間され、ゲート誘電体層24の厚さが約90オングストロームの場合、傾斜チャネル素子10は、40ナノアンペア/ミクロン程度の漏れ電流( $I_{dss}$ ) ( $V_{DS}$ が1.8ボルトの場合)、165ミリボルト程度のスレシホールド電圧、65ジーメンズ/メートル程度のピーク・トランスコンダクタンス、790マイクロアンペア/ミクロン程度の駆動電流( $I_{dsat}$ ) ( $V_{ds}$ が3.3ボルトの場合)、555マイクロアンペア/ミクロン ( $V_{ds}$ が2.5ボルトの場合)、および約7.5ボルトの降伏電圧( $BV_{dss}$ )を示す。

【0017】また、主面12から約800オングストロームの距離だけドープ領域18が離間され、ゲート誘電体層24の厚さが約90オングストロームの場合、傾斜チャネル素子10は、1.0ナノアンペア/ミクロン程度の $I_{dss}$  ( $V_{ds}$ が1.8ボルトの場合)、300ミリボルト程度のスレシホールド電圧、60ジーメンズ/メートル程度のピーク・トランスコンダクタンス、730マイクロアンペア/ミクロン程度の $I_{dsat}$  ( $V_{ds}$ が3.3ボルトの場合)、500マイクロアンペア/ミクロン程度の $I_{dsat}$  ( $V_{ds}$ が2.5ボルトの場合)、および8.0ボルト程度の $BV_{dss}$ を示す。

【0018】更に、主面12から約150オングストロームの距離だけドープ領域18が離間され、ゲート誘電体層24の厚さが約90オングストロームの場合、傾斜チャネル素子10は、1.0ピコアンペア/ミクロン程度の $I_{dss}$  ( $V_{ds}$ が1.8ボルトの場合)、575ミリボルト程度のスレシホールド電圧、53ジーメンズ/メートル程度のピーク・トランスコンダクタンス、620マイクロアンペア/ミクロン程度の $I_{dsat}$  ( $V_{ds}$ が3.3ボルトの場合)、400マイクロアンペア/ミクロン程度の $I_{dsat}$  ( $V_{ds}$ が2.5ボルトの場合)、および8.25ボルト程度の $BV_{dss}$ を示す。上述の例は全て、設計ゲート寸法(drawn gate dimension)を0.5ミクロンとしたものである。

【0019】比較例として、0.5ミクロンの設計ゲート寸法および90オングストロームのゲート酸化物を有する従来例は、典型的に、3.3ボルトにおいて400マイクロアンペア/ミクロン程度の $I_{dsat}$ 値、および約1.0ナノアンペア/ミクロンの $I_{dss}$ を示す。また、0.35ミクロンの設計ゲート長および90オングストロームのゲート酸化物を有する、比較対象の従来技術は、典型的に、2.5ボルトにおいて450マイクロアンペア/ミクロン程度の $I_{dsat}$ 値、および約1.0ナノアンペア/ミクロンの $I_{dss}$ を示す。容易にわかるように、1.0ナノアンペア/ミクロンの傾斜チャネル素子10は、従来技術の構造と比較して、 $I_{dsat}$ において格段の改善を示している。

【0020】次に図2ないし図8に移り、傾斜チャネル素子10を形成する好適な方法を説明する。本発明によれば、好適な方法は、フォトリソグラフィおよび自己整合(self alignment)技法を利用する。図2は、初期処理段階における、基板11の拡大断面図である。具体的には、図2は主面12上に形成された誘電体層36を示す。誘電体層36は、例えば、熱酸化物から成り、約3,000オングストロームないし約6,000オングストロームの厚さを有する。次に、誘電体層36にパターニングを行って開口37を形成する。開口37は、例えば、0.4ミクロンないし0.6ミクロン程度の幅38を有する。これによって、設計ゲート寸法が確定する。開口37を形成する技法は、当技術では既知である。上述のように、フォトリソグラフィの能力が発展し、より小さな寸法を経済的に製造できるようになったので、古典的なMOSスケーリング技法を用いて、幅38を縮小自在とすることができる。

【0021】開口37を形成するために、好ましくは、誘電体層36に選択的エッチングを行い、開口37内のその厚さを、元の厚さから100オングストロームないし300オングストローム程度の厚さに薄くし、スクリーン層39（例えば、スクリーン酸化物）を形成する。この方法は、主面12に至るまで誘電体層36を形成し別個のスクリーン酸化物を形成するより、好ましい。な

ぜなら、後者のプロセスでは、主面12に損傷を与える潜在可能性があり、素子性能に有害な影響を及ぼし得るからである（例えば、損傷によって表面移動性が低下する）。

【0022】図3は、次の製造工程における基板11を示す。具体的には、図3は、主面12上に堆積されたコンフォーマル（均質な）層（conformal layer）44を有する基板11を示す。コンフォーマル層44は、例えば、ポリシリコン、窒化シリコン等から成る。コンフォーマル層44を堆積するには、既知の堆積技法（例えば、低圧力化学蒸着（CVD）、プラズマ・エンハンスCVD等）を用いる。コンフォーマル層44の厚さは、所望の開口幅（図4では幅48として示す）に基づいて選択する。例えば、約0.15ミクロン幅の開口を設けるには、コンフォーマル層44の厚さは約1,750オングストロームとする。この値は、開口幅は幅38（図2に示した）からコンフォーマル層44の厚さの2倍を減じた値にほぼ等しいという、既知の関係に基づくものである。

【0023】一旦コンフォーマル層44を形成したなら、コンフォーマル層44に異方性エッチングを行って、図4に示すようなスペーサ46を形成する。異方性エッチングによって、幅48を有する開口47を設ける。コンフォーマル層44をエッチングするには、例えば、既知の反応性イオン・エッチング（RIE）技法を用いる。スペーサ46はドープ領域18のサブ・フォトリソグラフィ・アスペクト（sub-photolithographic aspect）を与える際の鍵となる。また、スペーサ46があるために、ドープ領域18の横方向延在を、半導体物質領域23の横方向延在とは独立とすることができる。

【0024】スペーサ46の形成に続いて、好ましくは、矢印49によって表わしたイオン注入技法を用いて、ドープ領域18を形成する。 $I_{ds}$ が1.0ナノアンペア/ミクロンの素子では、約80keVのエネルギーで投与量を約 $7.0 \times 10^{12}$ 原子/cm<sup>2</sup>とした第1硼素注入（領域51で表わす）、約40keVで投与量を約 $7.0 \times 10^{12}$ 原子/cm<sup>2</sup>とした第2硼素注入（領域52で表わす）、および約10keVのエネルギーで投与量を約 $4.0 \times 10^{11}$ 原子/cm<sup>2</sup>とした第3硼素注入を含む、一連のイオン注入によって、ドープ領域18を形成することが好ましい。

【0025】 $I_{ds}$ が1.0ピコアンペア/ミクロンの素子では、第1および第2硼素注入は上述と同一であるが、第3硼素注入投与量は、約10keVのエネルギーで約 $3.0 \times 10^{12}$ 原子/cm<sup>2</sup>程度とする。 $I_{ds}$ が40ナノアンペア/ミクロンの素子では、第1硼素注入は上述と同一であるが、第2硼素注入は50keVで約 $7.0 \times 10^{12}$ 原子/cm<sup>2</sup>とし、第3硼素注入は行わない（即ち、領域53を形成しない）。通常、ドープ領域51～53に対する注入エネルギーは、一旦領域

52～53をアニールしてドープ領域18を形成した場合に、ドープ領域18が少なくとも125オングストローム程度の距離だけ、主面12から離間されるように選択する。

【0026】イオン注入に続いて、スペーサ46およびスクリーン酸化物層39を除去し、主面12の露出部分を清浄化する。これら全てには、既知の技法を用いる。次に、図5に示すように、ゲート誘電体層24を形成する。好ましくは、ゲート誘電体層24は熱酸化物から成り、約30オングストロームないし約100オングストローム程度の厚さを有する（先に示した例では、90オングストロームを用いた）。ゲート誘電体層24の形成の間、領域51～53をアニールして注入したドーパントを活性化し、ドープ領域18を形成する。

【0027】ゲート誘電体層24の形成に続いて、半導体物質層57を、主面12および誘電体層36上に形成する。層57は、好ましくは、ポリシリコンまたはアモルファス・シリコンから成り、この例では、4,000オングストローム程度の厚さを有する。この厚さは、開口37の幅38に応じて変動する。層57を形成する方法は既知である。

【0028】図6は、次の製造工程における基板11を示す。具体的には、図6は、層57を平面化した後の基板11を示す。例えば、層57の平面化には、既知の化学機械的研磨（CMP:chemical mechanical polishing）技法を用いる。層57を平面化した後、半導体物質領域23がゲート誘電体層24上に残る。半導体物質領域23は、通常、2,500オングストロームないし5,000オングストローム程度の厚さを有する。

【0029】層57の平面化に続いて、例えば、従来のウェット・エッチング技法を用いて、誘電体層36を除去し、図7に示す構造を形成する。誘電体層36を除去した後に、主面12および半導体物質領域23上に、スクリーン酸化物71を形成する。好ましくは、スクリーン酸化物71は、100オングストロームないし300オングストローム程度の厚さを有する。次に、n-型ドーパント（例えば、燐）を、基板11の一部にイオン注入し、領域73,74を形成すると共に、半導体物質領域23にドーピングする。この工程における重要な特徴は、領域73,74を半導体物質領域23に自己整合させることによって、領域73,74をアニールした後、半導体物質領域23がソース領域13およびドレイン領域14と重複可能とすることである（以下で述べる）。これによって、素子の信頼性が向上し、生産性が大幅に強化される。加えて、処理工程の追加や素子性能の低下を招く、ソースおよびドレイン延長の必要性をなくすことにもなる。

【0030】領域73,74を形成し、半導体物質領域23にドーピングするには、 $1.0 \times 10^{15}$ 原子/cm<sup>2</sup>ないし $1.0 \times 10^{16}$ 原子/cm<sup>2</sup>程度の注入投与量、お

および 60 keV 程度の注入エネルギーが適している。イオン注入に続いて、従来の高温熱アニール技法を用いて、注入したドーパントを活性化し、それぞれソース領域 13 およびドレイン領域 14 を形成する。約 1050℃ で約 40 秒のアニールが適している。あるいは、ファーンズを用いて同等のアニールを行う。アニールの後、ドーブ領域 18 は 0.3 ミクロン未満程度の幅を有する。通常 0.15 ミクロンないし約 0.25 ミクロン程度の幅となる。

【0031】次に、スクリーン酸化物層 71 上にスペーサ層を堆積し、続いて、従来の RIE エッチングによって、図 8 に示すようにスペーサ 76, 77 を形成する。好ましくは、スペーサ層は窒化シリコンから成る。オプションとして、窒化シリコンのスペーサ層を形成した後、注入したドーパントをアニールする。

【0032】次に、例えば、従来の自己整合シリサイド技法を用いて、ソース電極 21、ドレイン電極 22、およびゲート電極 26 を形成する。好ましくは、ソース電極 21、ドレイン電極 22、およびゲート電極 26 は、チタン・シリサイド(titanium silicide)、コバルト・シリサイド(cobalt silicide)等から成る。上述の方法は、サブ・フォトリソグラフィ構造を有する自己整合傾斜チャネル素子 10 を提供する。これは、双方向高性能特性を有し、パンチ・スルー抵抗力が強化された傾斜チャネル素子を提供する。

【0033】図 9 は、本発明による傾斜チャネル素子の他の実施例の拡大断面図であり、全体的に 90 で示している。傾斜チャネル素子 90 は、ドーブ領域 91, 92 を追加したことを除いて、傾斜チャネル素子 10 と同様である。ドーブ領域 91 は下縁 94 と上縁 96 とを有し、ソース領域 13 とドーブ領域 18 との間に位置する。同様に、ドーブ領域 92 は下縁 97 と上縁 98 とを有し、ドーブ領域 18 とドレイン領域 14 との間に位置する。上縁 96, 98 は、好ましくは、主面 12 から離間されている。

【0034】ドーブ領域 91, 92 は、例えば、n-型領域から成り、好ましくは、 $3.0 \times 10^{17}$  原子/cm<sup>3</sup> 未満のドーパント濃度を有する。好ましくは、下縁 94, 97 付近のドーパント濃度は、 $1.0 \times 10^{17}$  原子/cm<sup>3</sup> ないし  $3.0 \times 10^{17}$  原子/cm<sup>3</sup> 程度であり、上縁 96, 98 では、ドーパント濃度はこれよりも大幅に低い(即ち、ドーブ領域 91, 92 は逆行ドーパント・プロファイルを有する)。上縁 96, 98 の位置は、主面 12 に対して、より近くても、より離間されていてもよい。上縁 96, 98 は、ドーブ領域 91, 92 の直接上にある領域においてのみ、主面 12 まで達している。低スレシホールド電圧エンハンスメント・モード(low threshold voltage enhancement mode)が得られる。オプションとして、上縁 96, 98 がチャネル領域 16 を横切って主面 12 まで達すると、空乏モード(dep

letion mode)の実施例が得られる。

【0035】ドーブ領域 18 が主面 12 から約 800 オングストロームの距離だけ離間され、ゲート誘電体層 24 が約 90 オングストロームの厚さを有する場合、傾斜チャネル素子 90 は、1.0 ナノアンペア/ミクロン程度の  $I_{dss}$  ( $V_{ds}$  が 1.8 ボルトの場合)、300 ミリボルト程度のスレシホールド電圧、60 ジーメンス/メートル程度のピーク・トランスコンダクタンス、750 マイクロアンペア/ミクロン程度の  $I_{dsat}$  ( $V_{ds}$  が 3.3 ボルトの場合)、520 マイクロアンペア/ミクロン程度の  $I_{dsat}$  ( $V_{ds}$  が 2.5 ボルトの場合)、および 8.2 ボルト程度の  $BV_{dss}$  を示す。ドーブ領域 91, 92 の存在によって、 $I_{dsat}$  および  $BV_{dss}$  が多少上昇する。このデータが示唆するのは、ドーブ領域 18 とソース領域 13 との間、およびドーブ領域 18 とドレイン領域 14 との間の領域の導電率は、全ドーパント濃度が約  $3.0 \times 10^{17}$  原子/cm<sup>3</sup> 未満である限り、n-型でも p-型でも可能であるということである。

【0036】ドーブ領域 91, 92 の形成は、イオン注入(例えば、燐イオン注入)を用いると好都合であり、投与量を  $3.0 \times 10^{12}$  原子/cm<sup>2</sup>、注入エネルギーを 140 keV 程度とすると最適である。好ましくは、ドーブ領域 91, 92 を形成するためのドーパントは、スクリーン酸化物 39 を形成した(図 2 に示す)後で、コンフォーマル層 44 の形成(図 3 に示す)の前に、基板領域 11 に注入する。次に、注入ドーパント領域をドーブ領域 18 で二分する。即ち、ドーブ領域 18 を形成した後、ドーブ領域 91, 92 を形成する(図 9 に示す)。

【0037】以上の説明から、傾斜チャネル半導体素子が提供されたことは明白であろう。この素子は、ソース領域とドレイン領域との間のほぼ中央に配されたドーブ領域を含み、背景基板と同一導電型を有する。このドーブ領域は、ソース領域、ドレイン領域、および基板の上表面から離間されている(即ち、チャネル部分は、上表面とドーブ領域との間に位置する)。好ましくは、ドーブ領域の形成には、自己整列サブ・フォトリソグラフィ技法を用いる。素子は、従来技術の構造と比較して、性能特性の改善を示し、パンチ・スルーに対する抵抗能力も強化される。加えて、ソース領域およびドレイン領域はドーブ領域に自己整列し、素子は双方向で使用する場合に非常に適している。

#### 【図面の簡単な説明】

【図 1】本発明による傾斜チャネル半導体素子を示す拡大断面図。

【図 2】一処理段階における図 1 の素子を示す拡大断面図。

【図 3】一処理段階における図 1 の素子を示す拡大断面図。



【図4】一処理段階における図1の素子を示す拡大断面図。

【図5】一処理段階における図1の素子を示す拡大断面図。

【図6】一処理段階における図1の素子を示す拡大断面図。

【図7】一処理段階における図1の素子を示す拡大断面図。

【図8】一処理段階における図1の素子を示す拡大断面図。

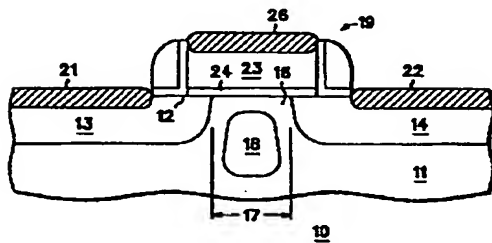
【図9】本発明による他の傾斜チャネル半導体素子を示す拡大断面図。

【符号の説明】

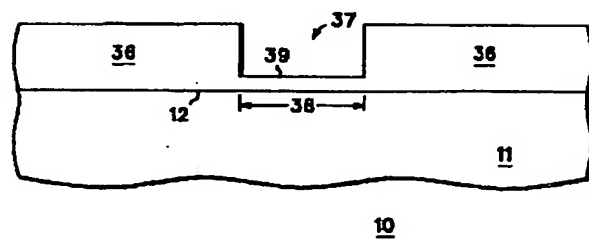
- 10 傾斜チャネル素子
- 11 半導体基板
- 13 ソース領域
- 14 ドレイン領域
- 16 チャネル領域
- 17 距離
- 18 ドープ領域

- 19 絶縁ゲート構造
- 21 ソース電極
- 22 ドレイン電極
- 23 半導体物質領域
- 24 ゲート誘電体層
- 26 ゲート電極
- 36 誘電体層
- 37 開口
- 38 幅
- 39 スクリーン層
- 44 コンフォーマル層
- 46 スペース
- 52～53 領域
- 57 半導体物質層
- 71 スクリーン酸化物
- 73, 74 領域
- 76, 77 スペース
- 90 傾斜チャネル素子
- 91, 92 ドープ領域

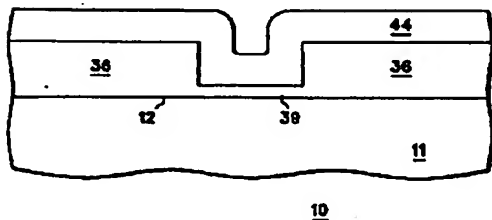
【図1】



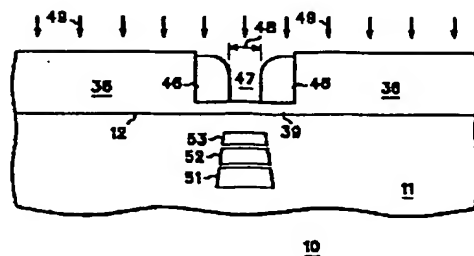
【図2】



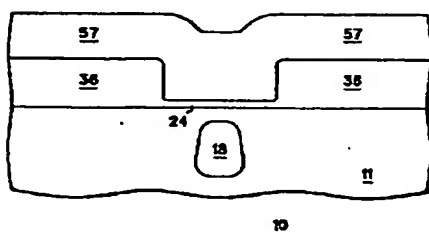
【図3】



【図4】

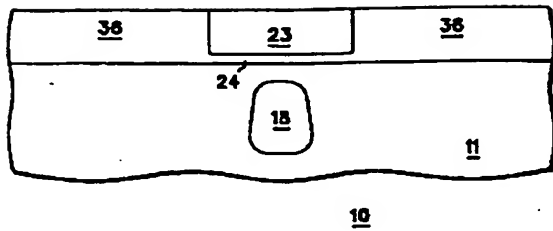


【図5】

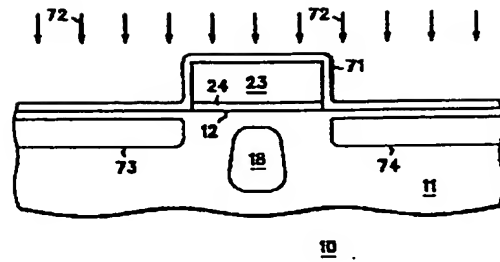




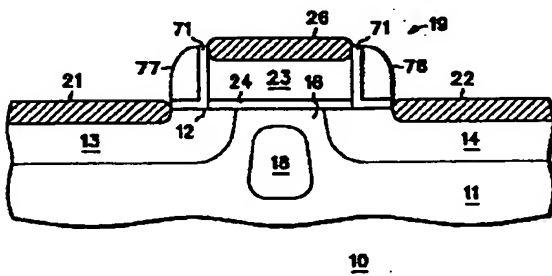
【図6】



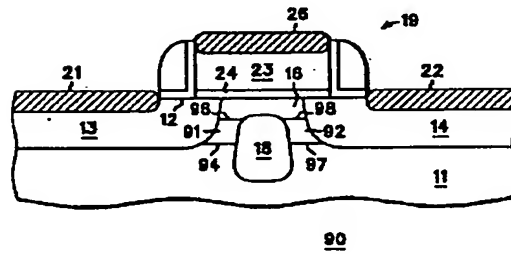
【図7】



【図8】



【図9】



## フロントページの続き

(72)発明者 ジョン・ジェイ・キャンデラリア  
アメリカ合衆国アリゾナ州テンピ、イース  
ト・ラビーブ2003

(72)発明者 アンドリアス・エー・ワイルド  
アメリカ合衆国アリゾナ州スコッツデー  
ル、ノース・77ス・ブレース10211  
(72)発明者 ピーター・ジェイ・デベル  
アメリカ合衆国アリゾナ州メサ、イース  
ト・ブラウン・ロード・ナンバー5、2848